

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-255909

(43)Date of publication of application : 12.10.1989

(51)Int.Cl.

G06F 1/00

(21)Application number : 63-083873

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 05.04.1988

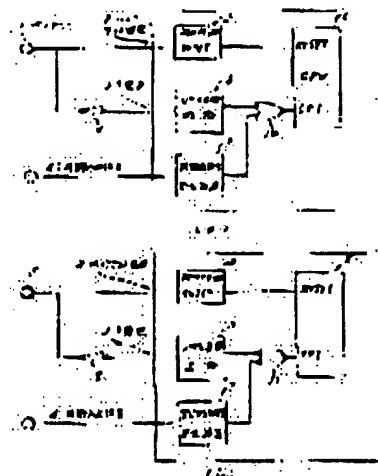
(72)Inventor : KISHI KAZUYA

(54) ACTIVATING AND RELEASING SYSTEM FOR POWER DOWN MODE

(57)Abstract:

PURPOSE: To prevent that a powder down is executed by mistake due to the input impossibility of input information and to surely execute the return by ANDing plural pieces of input information at the time of activating a power down mode and ORing plural pieces of the input information at the time of releasing.

CONSTITUTION: When it is judged whether a main power source 3 is turned on or not and the main power source 3 is turned on and a CPU 8 is operated, an ordinary processing is executed, only the supervision of the signal from a level converting circuit 6 or an interrupting signal generating device 7 due to an external input signal 4 is executed, and an interrupting processing due to these signals is not executed. When the level down of the main power source 3 and the external input signal are not present, the activation of the power down is executed, and the interrupting processing due to the signal from the level converting circuit 6 or the interrupting signal generating device 7 due to the external input signal 4 can be executed. The releasing of the power down is executed when either of the turn-on of the main power source 3 or the external input signal 4 is detected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ Int. Cl.

G 06 F 1/00

識別記号

3 3 2

庁内整理番号

7459-5B

⑭ 公開 平成1年(1989)10月12日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 パワーダウンモードの起動及び解除方式

⑯ 特 願 昭63-83873

⑰ 出 願 昭63(1988)4月5日

⑱ 発 明 者 岸 和 也 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑳ 代 理 人 弁理士 熊谷 隆 外1名

明 細 書

1. 発明の名称

パワーダウンモードの起動及び解除方式

2. 特許請求の範囲

パワーダウンモードを有するワンチップマイクロコンピュータと少なくとも一つ以上の外部からの要因により、割り込み信号を発生する割り込み信号発生装置と主電源のONを検出し信号を発生する検出装置とを有する装置において、前記割り込み信号発生装置からの割り込み信号と検出装置からの主電源ONの検出信号の2信号の論理積をとる手段と、これら2信号の論理和をとる手段とを設け、パワーダウンモードの起動は前記2信号の論理積をとる手段の出力により行ない、パワーダウンモードの解除は前記2信号の論理和をとる手段の出力により行なうことを特徴とするパワーダウンモードの起動及び解除方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、パワーダウン機能を有するワンチッ

プマイクロコンピュータにおけるパワーダウンモードの起動及び解除方式に関するものである。
(従来技術)

マイクロコンピュータを搭載したシステムにおいて、ランダムアクセスメモリ(RAM)52の内容を保持する為に、従来は第3図に示すようにRAM52と中央処理装置(CPU)51が別チップであったので、例えば自動車のイグニッションスイッチを介して供給される主電源53がOFFの時に、RAM52の内容を保持するため、RAM52のチップのみにイグニッションスイッチを介さず常時供給されるバックアップ電源を接続すればよかった。しかしながら、近年マイクロコンピュータのワンチップ化が進み、主電源をOFFにするとCPUに電源が供給されなくなり、RAMの内容が破壊されてしまうので、RAMの内容を保持するのにCPUにもバックアップ電源を供給し続けなければならない。その結果CPUが動作するため消費電力が大きくなるという欠点があった。

最近この欠点を解消すべく、CPUの動作を停止させてRAMの内容のみを保持するパワーダウン機能のついたワンチップマイクロコンピュータが使用されるようになった。

第4図は従来のパワーダウンモードを実現するためのワンチップマイクロコンピュータシステムの構成例を示すブロック図である。同図において、81はユニット、82はバッテリー、83はバックアップ電源、84は主電源である。また、ユニット81はパワーオンリセット装置85、レベル変換回路86及びCPU87を具備している。

上記構成のワンチップマイクロコンピュータシステムでは、主電源84を割り込み信号発生装置として、レベル変換回路86を介してCPU87の内部又は外部割り込み信号入力ポート(JPT)に接続する。バックアップ電源83は、パワーオンリセット装置85を介してCPU87のリセット端子(RBSET)に接続し、バックアップ電源83のみによりパワーオンリセットがかけられるようにする。立上り信号発生装置とし

てイグニッションスイッチ88及びレベル変換回路86により、イグニッションスイッチ88の投入時にエッジ入力信号としての立上り信号を発生する。第5図は第4図のワンチップマイクロコンピュータシステムのパワーダウンモード検出用のプログラムの例を示すフローチャートである。同図に示すように、主電源84がONになっていると通常の処理を実行し(ステップ201、202)、主電源84がONになってCPU87が動作している状態から、主電源84をOFFにすると、レベル変換回路86は主電源84のレベルダウンを検知し、CPU87はパワーダウン処理を実行し(ステップ203)、パワーダウンモードに移行する(ステップ204)。

また、パワーダウンからの復帰は次のようになる。即ち、パワーダウンから主電源84をONとすると、主電源84の立ち上がりで前記外部割り込み信号入力ポートを介して割り込み信号としてCPU87に入力され、ある特定の番地から動作を開始する。

〔発明が解決しようとする課題〕

しかしながら、上記従来のパワーダウンモードへの起動及びパワーダウンモードからの解除方法では、主電源84をレベル変換回路86を通してCPU87に接続している。そして、このレベルのみでパワーダウンモードの起動及び解除を行っているため、もしこのラインに異常が発生した場合、CPU87に電源が供給されているにもかかわらず、パワーダウンモードの解除ができなかったり、逆に誤ってパワーダウンしてしまう可能性がある。

本発明は上述の点に鑑みてなされたもので、誤ったパワーダウンモードを除去し、正規にパワーダウン機能を働かせて、消費電力を少なくするパワーダウンモードの起動及び解除方式を提供することにある。

〔課題を解決するための手段〕

上記課題を解決するため本発明は、パワーダウンモードを有するワンチップマイクロコンピュータを搭載した装置において、該ワンチップマイク

ロコンピュータに外部からの信号により割り込みを発生する割り込み信号発生装置と主電源をONすることにより立上り信号を発生する立上信号発生装置を内蔵し、これら割り込み信号発生装置からの信号と立上信号発生装置からの信号の2つの信号をパワーダウンモード検出用の入力信号として使用するように構成した。

〔作用〕

パワーダウンモードの起動及び解除方式を上記の如くすることにより、主電源が立ち上がると立上信号発生装置より発生された信号により、パワーダウンからの復帰ができる。また、外部からの要求信号により割り込み信号発生装置が発生させた信号によってもパワーダウンからの復帰ができる。一方パワーダウン起動時も同様に上記2つの信号により検出することができる。

〔実施例〕

以下、本発明の一実施例を図面に基づいて説明する。

第1図は、本発明に係るパワーダウンモードの

起動及び解除方式を適用するワンチップマイクロコンピュータシステムの機能構成を示すブロック図で、第1図(α)はパワーダウンモード解放時の機能ブロック図、第1図(β)はパワーダウンモード起動時の機能ブロック図である。

本実施例では電装品、特にエンジンコントロールを行なうユニットを対象に説明する。第1図(α)、(β)において、1はバッテリー、2はバックアップ電源、3は主電源、4は外部入力信号、5はパワーオンリセット装置、6はレベル変換回路、7は割り込み信号発生装置、8はCPU、9はイグニッションスイッチ、10は論理和をとる手段、11は論理積をとる手段である。

上記構成のシステムにおいて、パワーオンリセット装置5は、バックアップ電源2によってパワーオンリセットがかけられる。レベル変換回路6は、イグニッションスイッチ9を投入した時にエッジ入力信号として立上り信号を発生する。また、割り込み信号発生装置7は、外部から信号を受取ってエッジ入力信号としての立上り信号を発

のみを行ない、これらの信号による割り込み処理は実行しない。

一方、ステップ101と103において、主電源3のレベルダウンと外部入力信号4がないという条件が成立した場合はパワーダウンの起動を行なう(ステップ105)。その際、パワーダウンモードに移行する前にステップ104において、レベル変換回路6又は外部入力信号4による割り込み信号発生装置7からの信号による割り込み処理ができるようにしておく。

また、パワーダウンの解除は、主電源3のON又は外部入力信号のいずれかが検知できた時に、割り込み処理からプログラムが動き始められるような論理和(OR)条件にしておく(第1図(β)参照)。これにより上記いずれかの信号が入力された時に、パワーダウンの解除を行なうことができる。

(発明の効果)

以上、説明したように本発明によれば、パワーダウンモードの起動の際は、複数の入力情報の論

理和をとる手段を設けると共に、解除の際には複

数の入力情報の論理積をとる手段を設けるので、入力情報のどれかが入力不可能になっても誤ってパワーダウンする可能性が少なくなり、またパワーダウンからの復帰もより確実に行なうことができるという優れた効果が得られる。

また、通常のモード(パワーダウンでないモード)では、レベル変換回路6又は外部入力信号4による割り込み信号発生装置7からの信号の監視

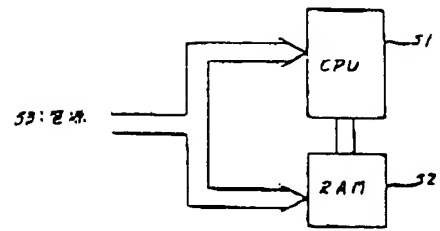
を行う手段を設けると共に、解除の際には複数の入力情報の論理積をとる手段を設けるので、入力情報のどれかが入力不可能になっても誤ってパワーダウンする可能性が少なくなり、またパワーダウンからの復帰もより確実に行なうことができるという優れた効果が得られる。

4. 図面の簡単な説明

第1図は本発明に係るパワーダウンモードの起動及び解除方式を適用するワンチップマイクロコンピュータシステムの機能構成を示すブロック図で、第1図(α)はパワーダウンモード解放時の機能ブロック図、第1図(β)はパワーダウンモード起動時の機能ブロック図、第2図は本発明に係るパワーダウンモード検出用のプログラムの例を示すフローチャート、第3図は従来のRAMとCPUとが別チップのマイクロコンピュータシステムの構成を示すブロック図、第4図は従来のパワーダウンモードを実施するためのワンチップマイクロコンピュータシステムの構成例を示すブロック図、第5図は第4図のワンチップマイクロ

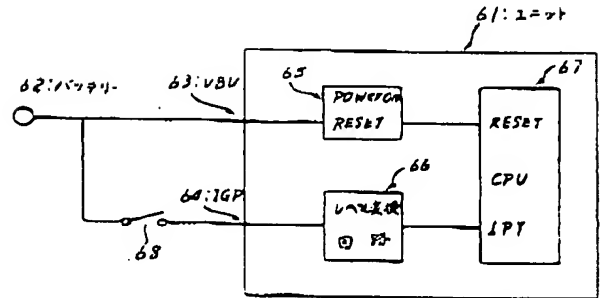
コンピュータシステムのパワーダウンモード検出用のプログラムの例を示すフローチャートである。

図中、1……バッテリー、2……バックアップ電源、3……主電源、4……外部入力信号、5……パワーオンリセット装置、6……レベル変換回路、7……割り込み信号発生装置、8……CPU、9……イグニッションスイッチ、10……論理和をとる手段、11……論理積をとる手段。

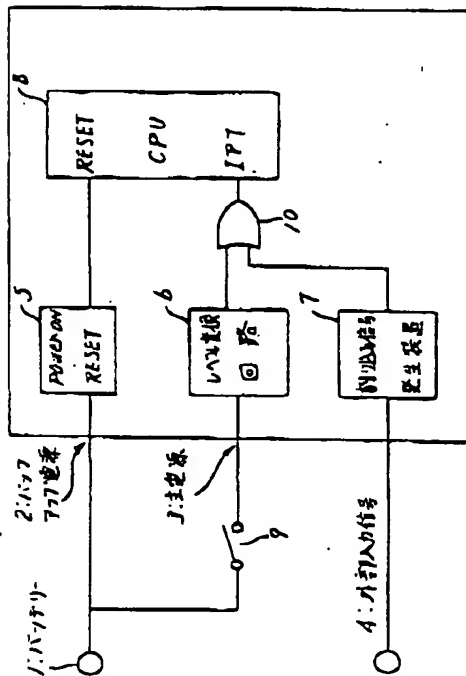


第3図

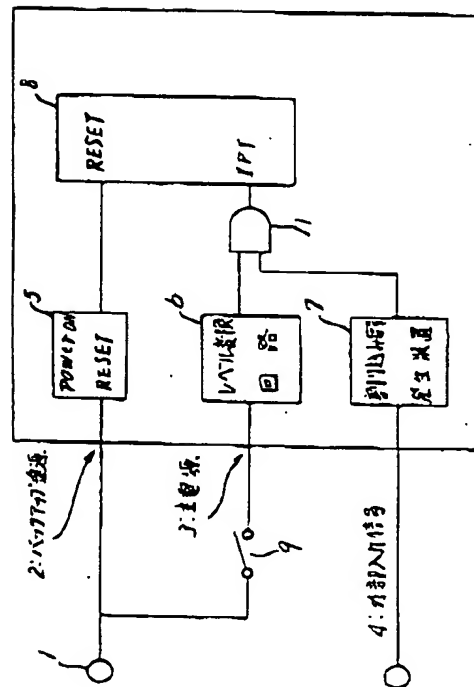
出願人 沖電気工業株式会社
代理人 弁理士 熊谷 隆(外1名)



第4図

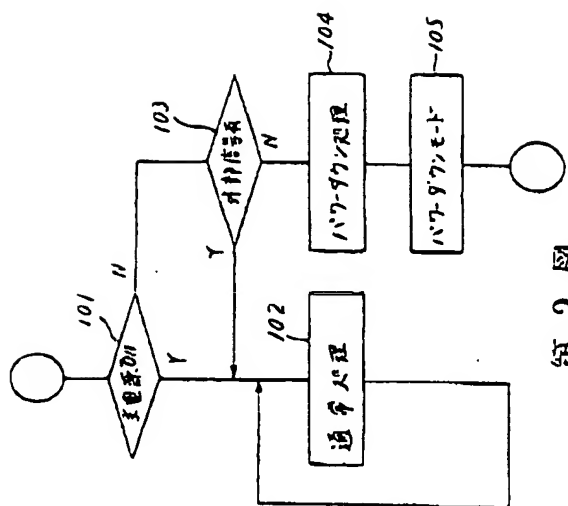


(a)

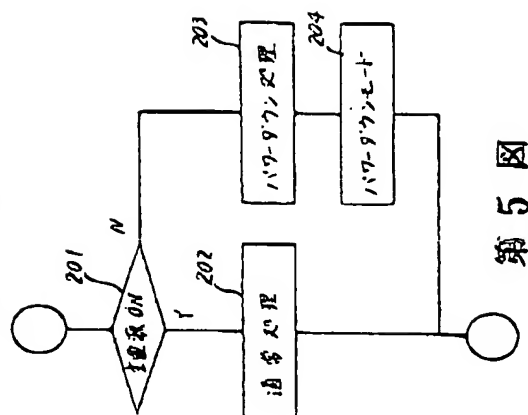


(b)

第1図 本発明の検出フロー図



第2図



第5図